

3-03026-SM

**LOW CONSUMED POWER DEVICE**

Patent Number: JP9160684  
Publication date: 1997-06-20  
Inventor(s): SUZUKI TAKAHIRO;; KANZAKI NOBORU;; YOSHIDA YUTAKA  
Applicant(s): FUJI ELECTRIC CO LTD  
Requested Patent: ☐ JP9160684  
Application Number: JP19950321621 19951211  
Priority Number(s):  
IPC Classification: G06F1/32  
EC Classification:  
Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To lower the power consumed in a device which is operated by limited electric power from a battery, etc.

**SOLUTION:** Devices 101 are divided into circuit blocks 102-1 to 102-n by operation functions, and the operation of a circuit block which wasting electric power by performing unnecessary operation is stopped by connecting and disconnecting the electric power or synchronizing signal placing the circuit blocks 102-1 to 102-n in operation, block by block, to reduce the consumed power in the whole device. Further, when a transmitted frame is received, a device for transmission compares its station address with address information on the received frame and actuates a controller such as a microcomputer only when the received frame is addressed to its station to enter a reception state, but automatically cancels the frame without actuating the controller such as the microcomputer if the received frame is a transmitted frame addressed to another station, so that the consumed power in the whole system is reduced as a result.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-160684

(43) 公開日 平成9年(1997)6月20日

(51) IntCl.<sup>6</sup>  
G 0 6 F 1/32

識別記号 庁内整理番号

F I  
G 0 6 F 1/00

技術表示箇所

3 3 2 B

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号 特願平7-321621  
(22) 出願日 平成7年(1995)12月11日

(71) 出願人 000005234  
富士電機株式会社  
神奈川県川崎市川崎区田辺新田1番1号  
(72) 発明者 鈴木 孝宏  
神奈川県川崎市川崎区田辺新田1番1号  
富士電機株式会社内  
(72) 発明者 神崎 昇  
神奈川県川崎市川崎区田辺新田1番1号  
富士電機株式会社内  
(72) 発明者 吉田 豊  
神奈川県川崎市川崎区田辺新田1番1号  
富士電機株式会社内  
(74) 代理人 弁理士 大菅 義之

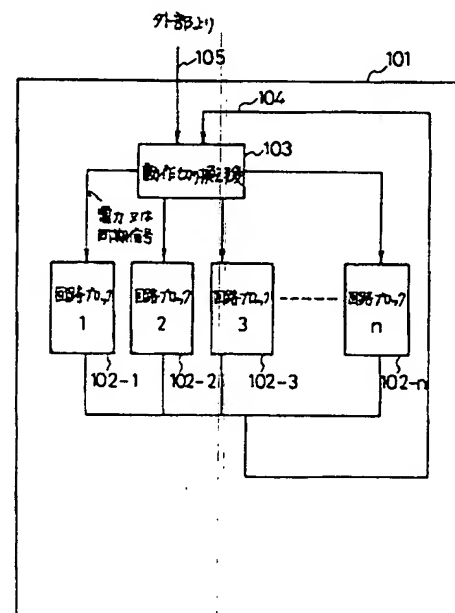
(54) 【発明の名称】 低消費電力デバイス

(57) 【要約】

【課題】 電池などの限られた電力で作動するデバイスの低消費電力化を図る。

【解決手段】 デバイスを各動作機能毎に回路ブロックに分け、その回路ブロック毎に回路ブロックを作動させている電力または同期信号の接続／非接続を切り換えを行い不必要な動作をして不要な電力を消費している回路ブロックの動作を停止してデバイス全体の消費電力を減らす。さらに伝送用デバイスにおいて、伝送フレームが受信した時、受信したフレームのアドレス情報と自局のアドレスとの比較を行い、その受信フレームが自局へのフレームである場合のみマイコンなどの制御装置を起動させて受信状態に入り、自局では受信しない他局宛の不要な伝送フレームであった場合においてはマイコンなどの制御装置を起動させることなくそのフレームを自動的にキャンセルし、結果としてシステム全体の消費電力を抑える。

本発明の実施例の原理図



【特許請求の範囲】

【請求項1】アナログ回路とデジタル回路が混在するデバイスにおいて、

前記デバイスを各機能毎に分けた複数の回路ブロックと、

前記各回路ブロックに同期信号あるいは電力の供給の切り替えを行うことにより前記各回路ブロックの作動と停止の切り替えを行う動作切り替え手段を有することを特徴とする低消費電力デバイス。

【請求項2】前記動作切り換え手段は前記回路ブロックがアナログ回路の場合電力の、デジタル回路の場合同期信号の供給を切り換えることを特徴とする請求項1の低消費電力デバイス。

【請求項3】外部からの信号を受信する受信手段と、自己のアドレスを記憶する記憶手段と、前記受信手段により受信した前記信号と前記自己のアドレスとを比較する比較手段と、

前記比較手段により比較した結果一致する場合に外部装置を作動させる作動手段とを有することを特徴とする低消費電力デバイス。

【請求項4】伝送用デバイス内の回路を、伝送媒体へ伝送信号の送信処理に必要な回路のうちアナログ回路部分からなるアナログ送信回路ブロックと、

前記送信処理に必要な回路のうちデジタル回路部分からなるデジタル送信回路ブロックと、

伝送媒体からの伝送信号の受信処理に必要な回路のうちアナログ回路部分からなるアナログ受信回路ブロックと、

前記受信処理に必要な回路のうちデジタル回路部分からなるデジタル受信回路ブロックと、

前記デバイスの外部のデバイスとのインタフェースを行うデジタルインタフェース回路ブロックと、

前記各デジタル回路ブロック及び前記外部のデバイスに対する同期信号の供給源となる発振回路ブロックとに分け、

前記各回路ブロック及び外部のデバイスに対して、各回路ブロック毎に、アナログ回路には電力のデジタル回路には同期信号の入力切り替えを行い、該各回路ブロック及び外部のデバイスの回路動作の作動および停止を切り換える切り換え手段と、を有することを特徴とした低消費電力伝送用デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、伝送用デバイス等の電池などの限られた電力で作動するデバイスの低消費電力化に関する。

【0002】

【従来の技術】従来、限られた電力で動作する伝送用デバイス等における低消費電力技術としては、伝送用デバイスが送信もしくは受信動作を行っていない場合には伝

送用デバイスの制御を行うマイコンなどの制御装置や伝送用デバイス全体を停止し、送信もしくは受信が開始されるときにマイコンなどの制御装置や伝送用デバイスを作動させて消費電力を抑える、間欠制御による低消費電力化が知られている。

【0003】

【発明が解決しようとする課題】しかし上記間欠制御を行う事による低消費電力化の方法においては、送信もしくは受信動作に入る前にマイコンなどの制御装置をあらかじめ起動させ動作準備をしておかなければならない。

【0004】又伝送用デバイスが送信動作を行っている場合にはデバイス内の送信に必要な受信のための回路が不必要に作動して電力を消費し、受信動作を行っている場合には送信のための回路が不必要に電力を消費しており、結果としてデバイス全体で必要以上に電力が消費される。

【0005】さらに伝送用デバイスにおいて伝送媒体より伝送フレームを受信した時、フレーム受信毎に、たとえそのフレームが自局では必要としない他局宛の伝送フレームであった場合においても、伝送用デバイスを制御しているマイコンなどの制御装置を不必要に起動させなければならず、消費電力を増大させることとなり、結果としてシステム全体の低消費電力化の効果は小さい。

【0006】本発明では上述したようなデバイス内を複数の回路ブロックに分け、無駄に電力を消費している回路ブロックへの、クロック信号もしくは電力の供給を停止することによりその回路動作を停止して、消費電力を減らし、低消費電力化を図る。

【0007】又伝送用デバイスにおいて伝送フレームを受信した場合、そのフレーム内のアドレス情報とデバイス内に保持されている自局のアドレスとを比較し、一致する場合のみデバイスを制御しているマイコンなどの制御装置を起動させてフレームの受信を行い、不一致の場合はマイコンなどの制御装置を低消費電力モードより起動させることなしにフレームを破棄する。

【0008】

【課題を解決するための手段】本発明は2つの発明を有し、第1の発明は以下の構成を有する。第1の発明はアナログ回路とデジタル回路が混在する低消費電力デバイスに適用され、上記デバイスは、各機能毎に複数の回路ブロックに分けられている。動作切り替え手段は、上記各回路ブロックに同期信号あるいは電力の供給の切り替えを行うことにより上記各回路ブロックの作動と停止の切り替えを行う。

【0009】又第2の発明は以下の構成を有する。受信手段は、外部からの信号を受信する。記憶手段は、自己のアドレスを記憶する。比較手段は、上記受信手段により受信した上記信号と上記自己のアドレスとを比較する。作動手段は、上記比較手段により比較した結果自己のアドレスと一致する場合に外部装置を作動させる。

3

【0010】第1の発明によれば、例えばデバイスが動作切り替えを行うときに、自己によりあるいは外部からの信号により、デバイス内での、次の動作に必要な回路ブロックへの電力あるいは同期信号の供給の止めてその回路ブロックの動作を停止することによりデバイス全体の低消費電力化が図れる。

【0011】又、第2の発明によれば、例えば、外部から信号を受信したときに、その信号内のアドレス情報と記憶手段に記憶されているアドレスとを比較して、一致する場合のみ外部装置を作動させることにより低消費電力化を図れる。

【0012】

【発明の実施の形態】図1に本発明の実施例の原理図を示す。デバイス101は本発明における低消費電力デバイスで、たとえば一つのチップ上に構成されており、内部回路は各動作機能毎に回路ブロック1～nのn個の回路ブロック102に分けられている。

【0013】これらの回路ブロック102は、デバイス101内に回路ブロック102とは独立して、あるいは回路ブロック102の1つの回路ブロックへ含まれる形で設けられた動作切り換え手段103によって電力または同期信号の供給／非供給を各ブロック毎に切り換えることが出来、この切り換えにより各回路ブロック102はそれぞれ独立して回路動作のON/OFF切り替えを行うことが出来る（尚回路ブロック102のうちデジタル回路で構成されているものは同期信号の供給／非供給の切り替えにより、電力を切り換えた場合の同様に、回路動作のON/OFF切り替えが可能である。）。

【0014】今デバイス101により、たとえば図2のようなフローの動作処理を行うとする。図2の各処理は、処理Aはデバイス101内の回路ブロック1、処理Bは回路ブロック2及び3、処理Cは回路ブロック1及び3のみで処理を完了することができるとする。

【0015】デバイス101は図2の動作処理を行うに当たり、まず切り換え手段103により回路ブロック1にのみ電力又は同期信号を供給し、他の回路ブロックは動作を停止させて回路ブロック1のみ作動させ、処理Aに当たる。

【0016】回路ブロック1により処理Aが完了すると、次にデバイス101は処理Bに移る。この時動作切り換え手段103は、回路ブロック1への電力または同期信号の供給を停止して回路動作を停止し、代わりに処理Bに必要な回路ブロック2及び回路ブロック3に電力または同期信号の供給を開始して回路を作動させ、これらの回路ブロックは処理Bに当たる。

【0017】処理Bが完了するとデバイス101は処理Cに移り、動作切り換え手段103は処理Cに不必要な回路ブロック2の回路動作を停止し、代わりに処理Cに必要な回路ブロック3を作動させる。

4

当たり（例えば処理Bより処理Cへ）上記回路ブロックの動作切り替えは、作動している回路ブロック（回路ブロック2あるいは回路ブロック3）からの（104）、あるいはデバイス101の外部からの（105）信号により動作切り換え手段103を制御して行われる。

【0019】以上のような動作の流れによりデバイス101内ではその処理を行うのに必要な回路ブロックのみが作動している。次に、本発明を計装用デバイスに利用した実施例を図3に示す。

【0020】本実施例の構成は、システム全体を制御するマスタ301と、複数の計装用デバイス305が光分配／結合器303を介して光ファイバー302及び304で接続されており、各計装用デバイス305内にある伝送用IC307及びマイコンなどの制御装置（以下マイコン）306は、光通信によりマスタ301から光ファイバー304を媒体にしてシリアル送信されてくるフレームのヘッダ内アドレス情報より、そのフレームが自局宛のフレームであるかを判別し、そのフレームが自局宛のものであれば受信フレーム内にあるマスタ301からの計測値要求命令に対して計測結果をマスタ301に返信するものである。

【0021】図4に計装用デバイス305内にある伝送用IC307の回路ブロック図を示す。伝送用IC307は、計装用デバイス305内で、伝送フレームの伝送媒体である光ファイバー304に接続されている不図示の受光回路及び計装用デバイス305を制御するマイコン306と接続されている。

【0022】伝送用IC307とマイコン306とは相互接続され、マイコン306から伝送用IC307へはアドレス信号A0-A3、データ信号D0-D7、読み出し要求信号RD、書き込み要求信号WR及びリセット信号RSTが供給され、逆方向にはデータ信号D0-D7、マイコン306からのRD/WR信号に対するハンドシェイクによる許可信号RDY、クロック信号CLK及びマイコン306に外部割り込みを発生させる割り込み信号INTが供給される。

【0023】伝送用IC307内の回路はその動作機能によりアナログ受信回路ブロック410、デジタル受信回路ブロック420、デジタル送信回路ブロック430、アナログ送信回路ブロック440、CPUインタフェース回路ブロック450、電源／発振回路ブロック460の六つの回路ブロックに分けられている。

【0024】以下に上記各回路ブロックについて説明する。アナログ受信回路ブロック410は、光通信の伝送経路からの信号を増幅する受信アンプ411と、前述受信信号内にマスタ301からの伝送フレームがあるかどうかを検知するキャリアディテクト回路412（その検知出力は後述する受信FIFOコントローラ452及びSWレジスタ(FH)（各レジスタについての説明は後述）

キャリアディテクト回路412は回路構成方法によってはデジタル受信回路ブロック420に含めることも可能である。

【0025】デジタル受信回路ブロック420は、受信アンプ411により増幅された受信信号をマンチェスターコードのシリアルデータからNRZの平行データに変換する復調回路421、図示しないFCSチェック回路などより構成されている。

【0026】デジタル送信回路ブロック430は、送信FIFOバッファ453から送られてくる送信データを10 伝送に適した信号形態に変調する変調回路431、フレームチェック信号を発生させる図示しないFCS発生回路などより構成されている。

【0027】アナログ送信回路ブロック440は、変調回路431によって変調された変調信号を伝送媒体へ送信するシリアル送信ドライバ441などより構成されている。

【0028】CPUインタフェース回路ブロック450は、レジスタセット451、送信FIFOコントローラ452、送信FIFOバッファ453、受信FIFOコントローラ454、受信FIFOバッファ455、自動アドレス判定回路456、CPUインタフェースコントローラ457及びデータバッファ458などより構成されている。

【0029】レジスタセット451は図5に示す様に8ビットのレジスタ16本で構成されており、マイコン306は各レジスタをアドレス信号の下位4ビットA0-A3により指定する(残りの上位アドレス信号は図示しない回路によりチップセレクトなどに用いられている。)メモリ・マップド・I/O方式でリード/ライト30 を行う。送信FIFOコントローラ452はマイコン306から送られてきたデータをマイコン306とのデータ転送バッファであるデータバッファ458及びDATAレジスタ(EH)を介して送信データとして送信FIFOバッファ453に転送し、順次送信してゆく。又送信FIFOバッファ453内に蓄積された送信データのバイト数が、FIFOレジスタ(DH)によって設定されるスレッシュド以下の数になると、後述する割り込みコントローラ464によりマイコン306に外部割り込みを発生させるとともにINTレジスタ(9H)に割り込み要因を出力し、続きの送信データを送信FIFOバッファ453へ送らせる。送信FIFOバッファ453は送信用のデータバッファでその大きさをFIFOレジスタ(DH)の設定により伝送経路への転送速度によって例えば4バイトあるいは8バイトと変更出来、マイコン306から送られてきた送信データはDATAレジスタ(EH)を介してこの送信FIFOバッファ453に順次蓄積されてゆき、蓄積された順に変調回路431内に転送されてゆく。受信FIFOコントローラ454はデジタル受信回路ブロック420より転送されてくる受信データを受信FIF 50

Oバッファ455内に蓄積されてゆき、FIFOレジスタ(9H)によって設定されるスレッシュドを以上受信データが蓄積されると割り込みコントローラ464を起動させてマイコン306に外部割り込みを発生させるとともにINTレジスタ(9H)のフラグに割り込み要因を出力し、受信FIFOバッファ455に蓄積されている受信データをDATAレジスタ(EH)を介してマイコン306に読み出させる。受信FIFOバッファ455は受信用のデータバッファでその大きさはFIFOレジスタ(DH)の設定により転送速度により例えば8バイトあるいは16バイトと変更出来、デジタル受信ブロック420より送られてきた受信データはこの受信FIFOバッファ455に順次蓄積され、DATAレジスタ(EH)を介して蓄積された順にマイコンに読み出させる。自動アドレス判定回路456はデジタル受信回路ブロック420から送られてくる復調された送信データからフレームヘッダ内のアドレス情報を検出してADRレジスタ(CH)内に記録させている自局のアドレスと比較し、後述する自動アドレス判定を行うものである。尚レジスタセット451内のCTLレジスタの設定により自動アドレス判定回路456のON/OFFの切り替えを行い、自動アドレス判定を行わない設定にすることもできる。CPUインタフェースコントローラ457はマイコン306からのアドレス信号A0-A3及びRD、WR等の制御信号による伝送用IC307へのアクセス要求に対して送信/受信FIFOコントローラ、データバッファ458、レジスタセット451の各レジスタを制御し、又マイコン306に対してRDY信号で伝送用IC307に対するアクセスの承認/未承認を知らせてマイコン306と伝送用IC307との間のアクセス制御を行う。

【0030】電源/発振回路ブロック460は、クロック信号を発生する発振器461と、発振器461からのクロック信号を分周するプリスケラ462と、プリスケラ462により分周されたクロック信号をSWレジスタ(FH)の書換えによりデジタル回路ブロックの各ブロック毎に接続/非接続を切り替えその回路ブロックの作動/停止を制御することができるクロックスイッチ463と、SWレジスタ(FH)の書換えによりアナログ回路ブロックの各ブロック毎に接続/非接続を切り替えその回路ブロックの作動/停止を制御することができる電源スイッチ466と、自局宛の受信フレームを受け取りマイコン306を再起動させる場合、コミュニケーションエラーが発生した場合、及び送信/受信動作開始時にマイコン306に外部割り込みを発生させる割り込みコントローラ464と、外部信号により伝送用IC307全体をリセットしてイニシャライズするリセット回路465より構成されている。

【0031】発振器461は伝送用IC307に外付けされる不図示の水晶発振子をドライブしてクロック信号を発生させ、そのクロック信号をプリスケラ462に

7

供給する。プリスケラ462は発振器461からのクロック信号をCTLレジスタによって決定される値でマイコン306及び伝送用IC307が動作に必要な周波数に分周し、分周された各クロック信号はマイコン306、及びクロックスイッチ463を介して伝送用IC307内の各デジタル回路ブロックに供給される。

【0032】なお上記回路のうち省電力化のためCMOS化可能なものはCMOS化されている。(たとえば、デジタル受信回路ブロック420、デジタル送信回路ブロック430、CPUインタフェース回路ブロック450)これらCMOS化された回路ブロックはクロック信号の入力のON/OFFにより消費電力を抑えることが出来るので、電力の供給/非供給による切り替えを行わなくてもクロック信号の切り替えにより同様の省エネ効果を得ることができる。

【0033】図5にCPUインタフェース回路ブロック450内のレジスタセット451の構成図を示す。アドレス0Hから7Hの8本のCTLレジスタは、デバイスコントロールレジスタで、このCTLレジスタ内のフラグを書換え、設定することにより伝送用IC307の各動作状態が設定される。

【0034】アドレス8HのCSレジスタは、マスタ301との通信経路及び伝送用IC307の現在のコミュニケーション状態を示す読み出し専用レジスタで、現在のマスタ301との通信経路の空き状況、送信/受信FIFOバッファの状態、伝送用IC307の送信及び受信状況などが出力される。

【0035】アドレス9HのINTレジスタは、割り込み要因を示す読み出し専用レジスタで、伝送用IC307が割り込みコントローラ464でマイコン306に対し外部割り込みを発生させた時又はコミュニケーションエラーが発生した時その割り込み要因を知らせるもので、マイコン306は伝送用IC307からのINT信号により外部割り込みが発生した時このレジスタのフラグ状態を調べることにより割り込み要因を知ることが出来、それにより割り込み処理ルーチンの各処理に移る。

【0036】アドレスAH及びBHのTXL1及びTXL2レジスタは送信長レジスタでマイコン306が伝送用IC307により送信を行う場合、送信データの大きさをバイト単位で上位ビットをアドレスAHに下位ビットをアドレスBHにセットした後にCTLレジスタを書き換えて送信動作に入る。

【0037】アドレスCHのADRレジスタは自局アドレスレジスタで、後述する自動アドレス判定を行う場合このレジスタに自局のアドレスをセットしておき、このアドレスと受信フレーム内のアドレス情報を自動アドレス判定回路456が比較し、その受信フレームが自局のものなのかあるいは他局宛のものなのかを判断する。

【0038】アドレスDHのFIFOレジスタは、FI

8

より送信/受信動作時にFIFOバッファ内に蓄積される送信/受信データのバイト数のスレッシュルド、送信/受信FIFOバッファの大きさの設定及び動作モード等を設定する。

【0039】アドレスEHのDATAレジスタは送信/受信データレジスタで、マイコン306は送信動作時に送信データを送信FIFOバッファ453に送る場合、または受信動作時に受信FIFOバッファ455から受信データを受け取る場合にこのレジスタを介して行う。

【0040】アドレスFHのSWレジスタは、伝送用IC307内の各回路ブロックのスイッチレジスタで、マイコン306または伝送用IC307自身によりこのレジスタの書き換えを行うことにより伝送用IC307内の各回路ブロックへの電力またはクロック信号の供給/非供給を切り換えを制御し、回路動作の作動/停止の切り換えを行う。

【0041】次にマスタ301と計装用デバイス305がコミュニケーションを行う場合の伝送用IC307及びマイコン306の動作を図6及び図7を用いて説明する。図6及び図7はマイコン306及び伝送用IC307内の各回路ブロックの動作状態を表したもので、図6は受信フレームを自動アドレス判定回路456により自動アドレス判定を行いそのフレームが自局宛のものと判断した場合、あるいはレジスタセット451内のCTLレジスタを自動アドレス判定を行わない設定にした場合の、図7は自動アドレス判定を行った結果その受信フレームが自局には必要のない他局宛のフレームであると判断し、自動的にキャンセルを行った場合のマイコン306及び伝送用IC307内の各回路ブロックの動作状態を表したものである。

【0042】本実施例における伝送用IC307には”ストップ”、”初期”、”受信待ち”、”レジスタアクセス待ち”、”受信”及び”送信”の6つの動作状態があり、以下に各動作状態について説明する。

【0043】”ストップ”状態は計装用デバイス305がマスタ301との通信に参加していない状態で、伝送用IC307内の全ての回路ブロックが動作を停止しており、又マイコン306は例えばクロックによる動作を停止した低消費電力モードに入っている。

【0044】”初期”状態は伝送用IC307の全ての回路ブロック及びマイコン306が起動した状態で、マイコン306により伝送用IC307及びマイコン306の初期設定が行われる。

【0045】”受信待ち”状態は電源/発振回路ブロック460以外のすべての回路ブロックが停止しており、よって伝送用IC307が”ストップ”状態を除き一番電力を消費しない動作状態で、伝送用IC307がマスタ301からのフレームの送信待ちなどに用いられる。

【0046】”受信”状態はマスタ301からの伝送フ

ファ455、DATAレジスタ(EH)、データバッファ458を介してマイコン306に送られる。

【0047】”レジスタアクセス待ち”状態はマスタ301からの伝送フレームの受信が終わった後に受信FIFOバッファ455に残っている受信データをマイコン306がDATAレジスタ(DH)を介して読み出し、その受信データに基づいて送信データの準備、”送信”状態への切り替えのためのレジスタセット451の書換えなどが行われる。

【0048】”送信”状態はマイコン306からマスタ301へのデータ送信が行われ、送信データがマイコン306からデータバッファ458、DATAレジスタ(EH)、送信FIFOバッファ453を介して送信される。

【0049】次に図6により、受信フレームを自動アドレス判定回路456により受信フレームのアドレス判定を行い、そのフレームが自局宛のものと判断した場合、あるいはレジスタセット451内のCTLレジスタを自動アドレス判定を行わない設定にした場合について説明する。なお下記(1)～(8)の数字は図6及び図7内の(1)～(8)の数字と対応している。

【0050】(1) ホスト301との通信に参加していない状態では、伝送用IC307は内部の全回路ブロックを停止させ、又マイコン306は例えばクロック停止させる低消費電力モードに入っている。

【0051】(2) 計装用デバイス305が通信に参加するにあたって、まず外部からの指示又はマイコン306内のタイマーによる割り込み等によりマイコン306を低消費電力モードより起動させる。次にマイコン306は伝送用IC307内のSWレジスタ(FH)を書換えを行い伝送用IC307内の回路ブロック全てに電力及びク

ロック信号を供給して起動させ、伝送用IC307内のCTLレジスタの設定、ADRレジスタ(CH)への自局アドレスの登録などのフレーム受信のための伝送用IC307の初期設定を行う。

【0052】(3) 初期設定が終了すると、マイコン306はCTLレジスタを書換えを行い伝送用IC307を受信を行う設定にし、又SWレジスタ(FH)を書き換えて伝送用IC307のアナログ受信回路ブロック410及び電源/発振回路ブロック460以外の回路ブロックの動作を停止し、受信待ち状態に移る。受信待ち状態ではマスタ301からの通信が入るまでデジタル受信回路ブロック420、デジタル送信回路ブロック430、アナログ送信回路ブロック440及びCPUインタフェース回路ブロック450へのクロック信号及び電力の供給を停止させ、アナログ受信回路ブロック410および電源/発振回路ブロック460のみ作動させた状態で待機し、光通信の伝送経路よりマスタ301からの伝送フレームが受信されるのを待つ。この間マイコン306は再び低消費電力モードに入る。

【0053】(4) 伝送用IC307が(3)の受信待ち状

態にある間、アナログ受信ブロック410内のキャリアディテクト回路412は受信アンプ411によって増幅された光通信の伝送経路上の信号に、マスタ301からの伝送フレームがあるかどうかを調べており、伝送フレームが存在することを検知すると、キャリアディテクト回路412の検知出力はCPUインタフェース回路ブロック450内のレジスタセット451のCSレジスタ(8H)及びSWレジスタ(FH)とつながっており、CSレジスタ(8H)内のフラグを立ててフレームを受信したことを知らせ、又SWレジスタ(FH)を書換えてデジタル受信回路ブロック420及びCPUインタフェース回路ブロック450にクロック信号を接続し作動させて受信動作に入る。

【0054】受信動作では受信アンプ411により増幅された信号は復調回路421によりシリアルマンチェスターコード信号からパラレルのNRZ信号へ変換され、受信FIFOバッファ455に順次蓄積されてゆく。

【0055】自動アドレス判定を行う場合、この間に自動アドレス判定回路456によって復調回路421によって変換された信号のフレームヘッダ内のアドレス情報を検出し、これとレジスタセット451内のADRレジスタ(CH)に保持されている自局のアドレスとを比較し、この受信フレームが自局宛のものであるのか他局宛のものであるのかを判断する。

【0056】その結果受信したフレームが自局宛のものであると判断した場合は、受信FIFOバッファ455にレジスタセット451内のFIFOレジスタ(DH)によって決定されるスレッシュド以上受信データが蓄積されると割り込みコントローラ464が起動し、マイコン306に対して外部割り込みを起こし低消費電力モードより起動させる。他局宛のものと判断した場合は受信FIFOコントローラ452により受信FIFOバッファ455内に蓄積された信号を破棄し、SWレジスタ(FH)を書き換えてマイコン306を起動させることなしに再び受信待ち状態へ遷移する。

【0057】自動アドレス判定を行わない場合は自動アドレス判定を行い自局宛のものであると判断した場合と同様、受信FIFOバッファ455にスレッシュド以上受信データが蓄積されると割り込みコントローラ464を起動させ、マイコン306に外部割り込みを起こして起動させる。

【0058】図6の場合は受信フレームが自局宛の場合、あるいは自動アドレス判定を行わない場合なので、割り込みコントローラ464による外部割り込みにより起動したマイコン306はレジスタセット451内のINTレジスタ(9H)のフラグ内容を読み出して割り込み要因を調べ、受信FIFOバッファ455に蓄積された受信データをデータバッファ458を通してレジスタセット451内のDATAレジスタ(EH)を用い受信F



11

F Oバッファ455が空になるまで読み出す。この動作処理を受信が完了するまで繰り返す。やがてマスタ301からのフレームの受信が終了して、キャリアディテクト回路412の出力の変化またはフレームのエンドデリミタを検出されると伝送用IC307は不図示の回路によりSWレジスタ(FH)を書き換えてレジスタアクセス待ち状態に入る。

【0059】(5) レジスタアクセス待ち状態では、伝送用IC307は処理に不必要なデジタル受信回路ブロック420も動作を停止させて、マイコン306は受信FIFOバッファ455内の残りの受信データをDATAレジスタ(EH)を介して読み出す。

【0060】(6) 受信FIFOバッファ453内に残っていた受信データを全て読み出し終わるとマイコン306はSWレジスタ(FH)を書き換えてCPUインタフェース回路ブロック450の動作も停止して一旦受信待ち状態に戻り、受信データ内のマスタ301からの命令の処理及びマスタ301への返答のための送信データを準備する。そして送信データの準備も終了するとマイコン306は低消費電力モードに入り停止する。

【0061】(7) マスタからの命令の処理が完了し、送信データの準備が終了すると、マイコン306はSWレジスタ(FH)を書き換えて送信に必要なデジタル受信回路ブロック420以外の回路ブロック全てにクロック信号及び電力の供給を開始して起動させ送信状態に入る。

(アナログ受信回路ブロック410は送信動作が正常に行われているか監視するために起動させている。) 次にマイコン306はレジスタセット451内のTXLレジスタ(AH, BH)にマスタ301に送信するフレームの送信長をセットし、その後DATAレジスタ(EH)を用いて送信FIFOバッファ452に一杯になるまで送信データを蓄積してゆく。

【0062】そしてCSレジスタ(8H)を調べて現在マスタ301との伝送経路(光ファイバ302、304、光分配/結合器303)が使用可能かどうかを確認し、使用可能であればCTLレジスタを書き換えを行いマスタ301への送信を開始する。

【0063】マスタ301への送信が開始されると送信FIFOバッファ453に蓄積された送信データが順次送信されてゆく。送信FIFOバッファ453内の送信データ数がFIFOレジスタ(DH)によって決定されるスレッシュド以下の数になると送信FIFOコントローラ453は割り込みコントローラ464を起動させてマイコン306に対し外部割り込みを発生させ、送信FIFOバッファ454に残りの送信データを送る。この動作処理を送信データが終了するまで繰り返す。

【0064】(8) 受信から送信までの一連の動作が終了したら、マイコンはSWレジスタ(FH)を書き換えて再び受信待ち状態に戻り、マスタ301からの命令を待つ。

12

判定回路456で送信されてきたフレームのアドレス情報と自局のアドレスを比較し、その結果受信フレームが他局へのものであると判断してその受信フレームをキャンセルした場合の動作例を示す。なお図7の(1)～(3)での伝送用IC307及びマイコン306の動作説明は、上述した図6のものと同じなので省略し(4)の“受信”状態より説明する。

【0065】(4) 伝送用IC307が(3)の受信待ち状態にある間、アナログ受信ブロック410内のキャリアディテクト回路412は受信アンプ411によって増幅された光通信の伝送経路上の信号にマスタ301からの送信フレームが有るかどうかを調べる。

【0066】伝送経路上の信号にマスタ301からの送信フレームが存在することをキャリアディテクト回路412が検知すると、CSレジスタ(8H)内のフラグを立ててフレームを受信したことを知らせ、又SWレジスタ(FH)を書換えてデジタル受信回路ブロック420及びCPUインタフェース回路ブロック450にクロック信号を接続し作動させて受信動作に入る。

【0067】受信アンプ411により増幅された信号は復調回路421によりシリアルマンチェスターコード信号からパラレルのNRZ信号へ変換され、受信FIFOバッファ455に順次蓄積されていく。

【0068】その間自動アドレス判定回路456は復調回路421によって変換された信号よりフレームヘッダ内のアドレス情報を検出し、これとレジスタセット451内のADRレジスタ(CH)に保持されている自局のアドレスとを比較し、その受信フレームが自局へのものであるのか他局へのものであるのかを判断する。

【0069】その結果受信したフレームが自局宛のものであると判断した場合は、受信FIFOバッファ455にレジスタセット451内のFIFOレジスタ(DH)によって決定されるスレッシュド以上受信データが蓄積されると、割り込みコントローラ464が起動し、低消費電力モードに入っているマイコン306に対し外部割り込みを起こし起動させる。他局へのものであると判断した場合は受信FIFOコントローラ452により受信FIFOバッファ455内に蓄積された信号を破棄し、SWレジスタ(FH)を書き換えてマイコン306を起動させることなしに再び受信待ち状態へ遷移する。

【0070】図7の場合は受信フレームが他局へのものであるので伝送用IC307はキャンセル動作へ遷移する。

(5) 自動アドレス判定回路456が自動アドレス判定の結果受信したフレームが自局宛のものではないと判断したので、キャンセル動作として受信FIFOコントローラ454を制御して受信FIFOバッファ455に蓄積した受信信号を破棄し受信フレームをキャンセルする。そしてマスタ101からのフレーム送信が終了し、キャ



リタを検知するまで以降の受信データを受け付けなくする。そして伝送用IC307はそのまま受信待ち状態に再び入りマスタ301からのフレームが受信されるのを待つ。

【0071】以上のようにして自動アドレス判定によりフレームが自局宛でない場合の受信データの破棄が行われるが、上記動作中マイコン306は一切起動されずに低消費電力モードのままの状態である。

【0072】図8は本実施例の伝送用IC307の状態遷移図である。同図において“ストップ”より“初期”への動作状態の遷移は、マイコン306内のタイマーによる割り込み又は外部からの信号により行われる。

【0073】“初期”より“ストップ”への動作状態の遷移は、マイコン306により伝送用IC307内のSWレジスタ(FH)を書き換えることにより行われる。“初期”より“受信待ち”及びその逆への動作状態の遷移は、マイコン306により伝送用IC307内のSWレジスタ(FH)を書き換えることにより行われる。

【0074】“受信待ち”より“レジスタアクセス待ち”への動作状態の遷移は、マイコン306により伝送用IC307内のSWレジスタ(FH)を書き換えることにより行われる。

【0075】“レジスタアクセス待ち”より“受信待ち”への動作状態の遷移は、マイコン306により受信FIFOバッファ455から受信データが読みだされ受信FIFOバッファ455が空になると受信FIFOコントローラ454がSWレジスタ(FH)を書き換えて行われる。

【0076】“受信待ち”より“受信”への動作状態の遷移は、キャリアディテクト回路412により受信信号が検知されたときにその検知出力によりSWレジスタ(FH)を書き換えて行われる。

【0077】“受信待ち”より“送信”への動作状態の遷移は、マイコン306により伝送用IC307内のSWレジスタ(FH)を書き換えることにより行われる。“送信”より“受信待ち状態”への動作状態の遷移は、送信データが全て送信され送信FIFOバッファ453が空になり送信が完了すると送信FIFOコントローラ452がSWレジスタ(FH)を書き換えることにより、あるいは送信途中でコミュニケーションエラーが発生し、送信を中断して割り込みコントローラ463によりマイコン306に外部割り込みを発生させると同時にSWレジスタ(FH)を書き換えることにより行われる。

【0078】“送信”より“初期”への動作状態の遷移は送信動作中のジャバエラー発生によるリセットにより行われる。“受信”より“レジスタアクセス待ち”への動作状態の遷移は、キャリアディテクト回路412の出力の変化またはフレームのエンドデリミタを検知することにより受信動作が完了しSWレジスタ(FH)を書き換えて行われる。

【0079】図9は図8での各動作状態での各回路ブロックへのクロック信号及び電力の入力のON/OFF状態を示した入力状態管理表である。この図9の入力状態管理表に基づいてマイコン306により、又は伝送用IC307内の不図示の制御回路によりレジスタセット451内のSWレジスタ(FH)を書き換えて伝送用IC307の状態遷移を行う。

【0080】図9においてアナログ受信回路ブロック410及びアナログ送信回路ブロック440はアナログ回路で構成されているので電力の供給のON/OFFにより回路の動作/停止の切り替えが行われ、デジタル受信回路ブロック420、デジタル送信回路ブロック430、CPUインタフェース回路ブロック450、電源/発振回路ブロック460はCMOS化されたデジタル回路で構成されているのでクロック信号の供給のON/OFFにより回路ブロックの作動/停止の切り替えが行われる。

【0081】図9において“ストップ”状態では伝送用IC307内の回路ブロック全てに対して電力またはクロック信号の供給を止めて動作を停止している。“初期”状態においては伝送用IC307内の全ての回路ブロックに電力またはクロック信号が供給され作動している。

【0082】“受信待ち”状態ではアナログ受信回路ブロック410への電力供給及び電源/発振回路ブロック460へのクロック信号の供給のみが行われ、これらの回路ブロックのみ作動している。

【0083】“レジスタアクセス待ち”状態ではアナログ受信回路ブロック410への電力供給及びCPUインタフェース回路ブロック450、電源/発振回路ブロック460へのクロック信号の供給が行われ、これらの回路ブロックのみ作動している。

【0084】“受信”状態ではアナログ受信回路ブロック410への電力供給、デジタル受信回路ブロック420、CPUインタフェース回路ブロック450及び電源/発振回路ブロック460へのクロック信号の供給が行われ、これらの回路ブロックのみ作動している。

【0085】“送信”状態ではアナログ受信回路ブロック410及びアナログ送信回路ブロック440への電力供給、デジタル送信回路ブロック430、CPUインタフェース回路ブロック450及び電源/発振回路ブロック460へのクロック信号の供給のみが行われ、これらの回路ブロックのみ動作を行っている。

【0086】なお本実施例では伝送用IC307内のアナログ回路ブロック(アナログ受信回路ブロック410、アナログ送信回路ブロック440)は電力のON/OFFにより、デジタル回路ブロック(デジタル受信回路ブロック420、デジタル送信回路ブロック430、CPUインタフェース回路ブロック450、電源/発振回路ブロック460)はクロック信号のON/OFFに

15

よって作動／停止の切り換えを行っているがデジタル回路ブロックの動作切り換えも電力のON／OFFにより行うように構成してもかまわない。

【0087】

【発明の効果】以上のように本発明によれば各動作状態においてデバイス内のその動作処理には不必要な回路ブロックの動作を停止させ必要な回路のみ作動させているので、デバイス全体の消費電力を大幅に低減することができる。

【0088】又外部からの信号を受信した場合、それが 10 局局に対してのものである場合のみマイコンなどの外部制御装置を起動させるのでシステム全体の消費電力も低減できる。

【図面の簡単な説明】

【図1】本発明の実施例の原理図である。

【図2】本発明の実施例における動作処理フローの図である。

【図3】本発明の実施例の構成図である。

【図4】実施例の伝送用ICの回路ブロック図である。

【図5】実施例の伝送用ICの内部レジスタ構成図である。 20

【図6】実施例の伝送用ICの動作状態図（フレーム受信時）である。

【図7】実施例の伝送用ICの動作状態図（フレームキャンセル時）である。

【図8】実施例の伝送用ICの状態遷移図である。

【図9】実施例の伝送用ICの各回路ブロックへの入力状態管理を示す図である。

【符号の説明】

101 デバイス

102-1～102-n、回路ブロック

103 動作切り替え手段

301 マスタ

302、304 光ファイバー

303 光分配／結合器

305 計装用デバイス

306 マイコンなどの制御装置

307 伝送用IC

410 回路ブロック（アナログ受信回路ブロック）

411 受信アンプ

412 キャリアディテクト回路

420 回路ブロック（デジタル受信回路ブロック）

431 復調回路

430 回路ブロック（アナログ送信回路ブロック）

431 変調回路

440 回路ブロック（デジタル送信回路ブロック）

441 送信ドライバ

450 回路ブロック（CPUインタフェース回路ブロック）

451 レジスタセット

452 送信FIFOコントローラ

453 送信FIFOバッファ

454 受信FIFOコントローラ

455 受信FIFOバッファ

456 自動アドレス判定回路

457 CPU インタフェースコントローラ

458 データバッファ

460 回路ブロック（電源／発振回路ブロック）

461 発振器

462 プリスケータ

463 クロックスイッチ

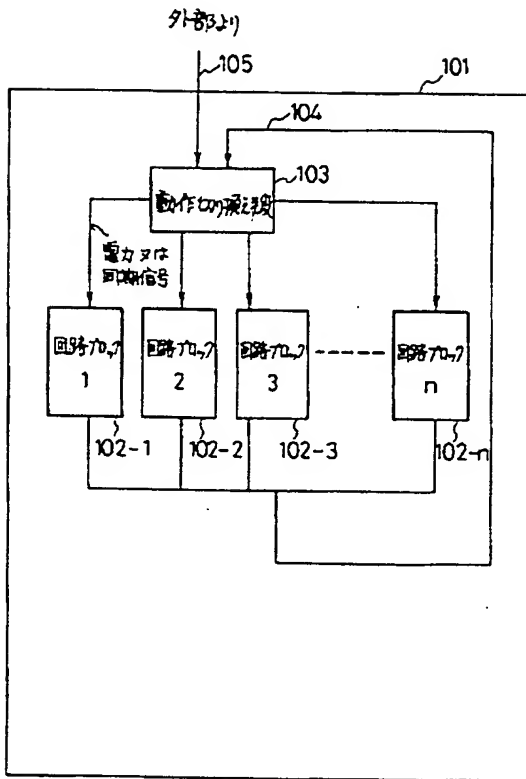
30 464 割り込みコントローラ

465 リセットコントローラ

466 電源スイッチ

【図1】

本発明の実施例の原理図



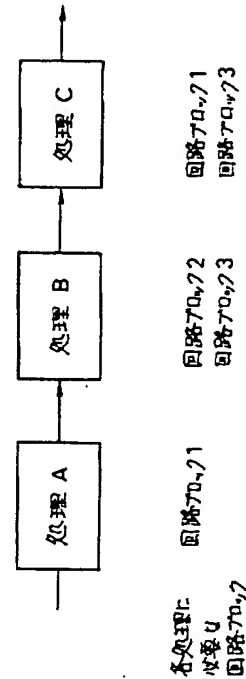
【図9】

実施例の伝送用ICの各回路  
ブロックへの入力状態管理を示す図

		受信部		送信部		モジュール	
		770/780 回路700 410	770/780 回路700 420	770/780 回路700 440	770/780 回路700 430	CPU I/F 回路700 450	電源/接地 回路700 460
ストップ	CLK	-	OFF	-	OFF	OFF	OFF
	電源	OFF	-	OFF	-	-	-
初期	CLK	-	ON	-	ON	ON	ON
	電源	ON	-	ON	-	-	-
受信待ち	CLK	-	OFF	-	OFF	OFF	ON
	電源	ON	-	OFF	-	-	-
リセット アドレス 待ち	CLK	-	OFF	-	OFF	ON	ON
	電源	ON	-	OFF	-	-	-
受信	CLK	-	ON	-	OFF	ON	ON
	電源	ON	-	OFF	-	-	-
送信	CLK	-	OFF	-	ON	ON	ON
	電源	ON	-	ON	-	-	-

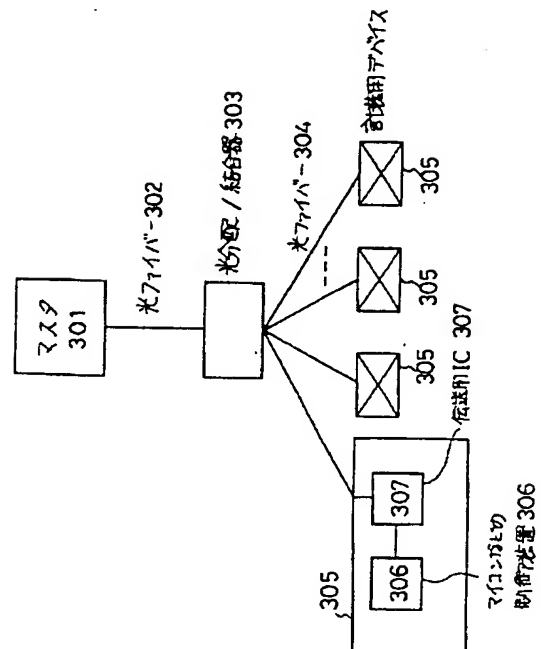
【図2】

本発明の実施例における  
動作処理フローの図



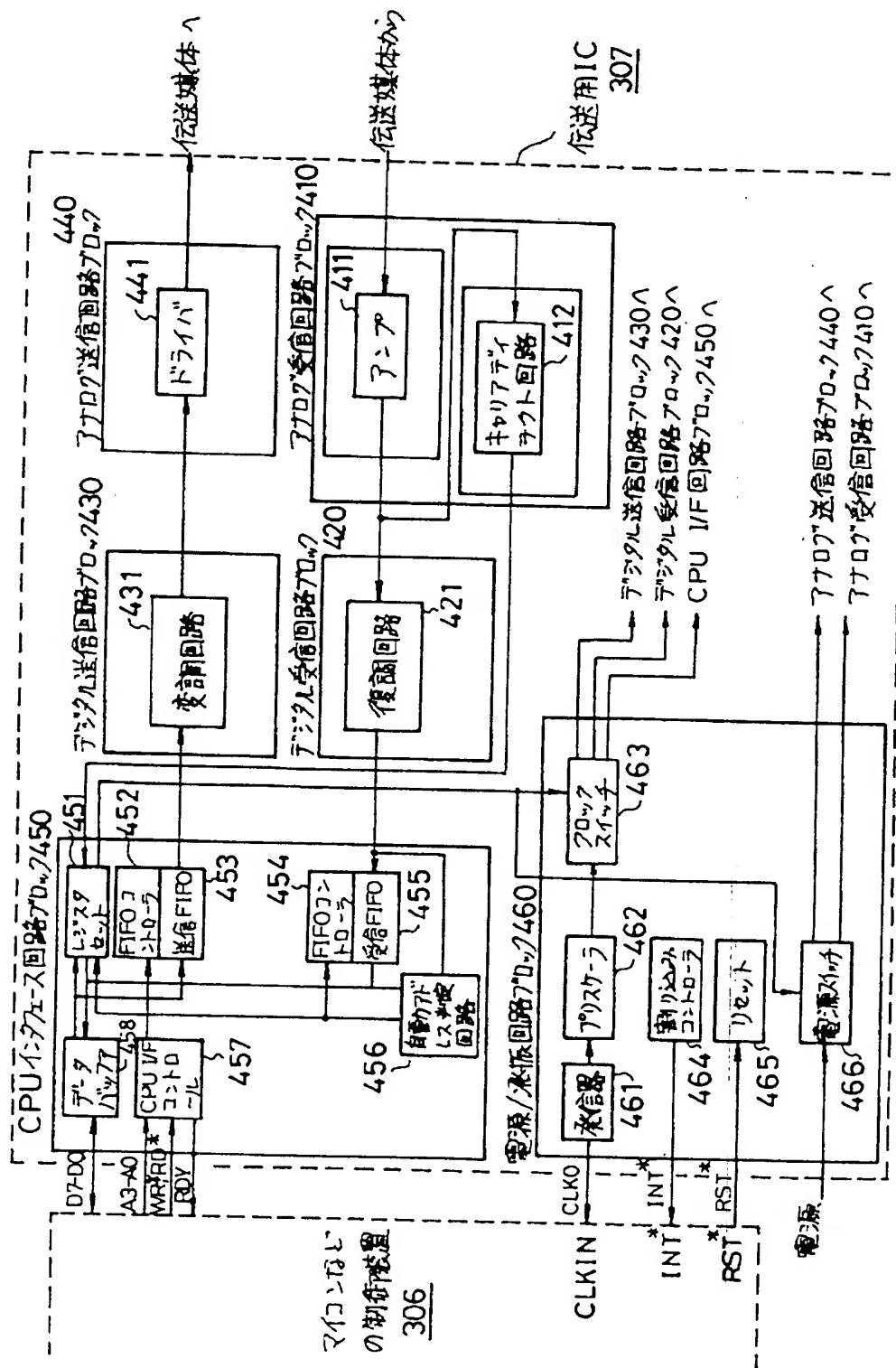
【図3】

本発明の実施例の構成図



【図4】

実施例の伝送用ICの回路ブロック図



フロントページの続き

(72) 発明者 田淵 憲司  
茨城県ひたちなか市大字高場2520番地 株  
式会社日立製作所自動車機器グループ内  
(72) 発明者 永井 康夫  
群馬県高崎市西横手町111番地 株式会社  
日立製作所半導体グループ内

(72) 発明者 馬場 志朗  
茨城県ひたちなか市大字高場2520番地 株  
式会社日立製作所自動車機器グループ内  
Fターム(参考) 5H570 AA21 BB09 BB10 BB20 CC04  
HA04 HA07 HA08 HA09 JJ02  
JJ07 JJ11 JJ12 JJ14 JJ18  
JJ26 LL03 LL33 MM01 MM07